



Mit Einverständnis des Anmelders offengelegte Anmeldung gemäß § 31 Abs. 2 Ziffer 1 PatG

㉔ Anmelder:

Siemens AG, 80333 München, DE

㉕ Erfinder:

Ameur, Raouf Ben, 67346 Speyer, DE; Vogel, Helmut, 76307 Karlsbad, DE

㉖ Entgegenhaltungen:

JP 5-291493 A - in: Patents Abstracts of Japan, Sect. E, Vol. 18 (1994), Nr. 80 (E-1505);

JP 3-141666 A - in: Patents Abstracts of Japan, Vol. 15 (1991) Nr. 359 (E-1110);

JP 6-252339 A - in: Patents Abstracts of Japan, Vol. 18 (1994) Nr. 643 (E-1640);

JP 2-148862 A - in: Patents Abstracts of Japan, Vol. 14 (1990) Nr. 396 (E-970);

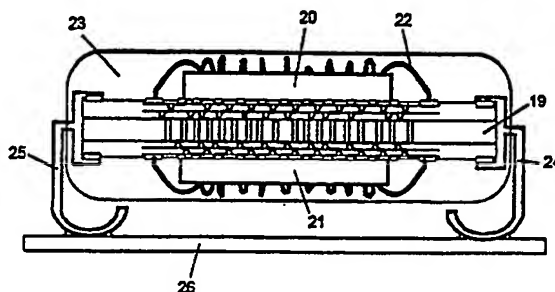
JP 4-290258 A - in: Patents Abstracts of Japan, Sect. E, Vol. 17 (1993) Nr. 101 (E-1327);

Prüfungsantrag gem. § 44 PatG ist gestellt

㉗ Multi-Chip-Modul

㉘ Die Erfindung betrifft ein Multi-Chip-Modul, das zumindest eine interne, beidseitig mit Halbleiterbauelementen (20, 21) bestückte Leiterplatte (19) enthält. Dadurch wird eine Erhöhung der Packungsdichte bei integrierten Schaltkreisen erreicht.

Die Erfindung wird angewandt bei Gehäusen für Halbleiterbauelemente.



Die Erfindung betrifft ein Multi-Chip-Modul nach dem Oberbegriff des Anspruchs 1.

Ein derartiges Multi-Chip-Modul (MCM) ist beispielsweise aus dem Aufsatz "Speicher der 3. Dimension" von Henning Wriedt, veröffentlicht in "elektronik industrie" 10-1995, Seiten 100 und 102, bekannt. Unter der 3. Dimension wird dort das Übereinanderstapeln von unversiegelten Speicherchips, deren Schaltungssteile jeweils im wesentlichen zweidimensional nebeneinander angeordnet sind, verstanden. Diese Technik ist insbesondere dann interessant, wenn eine Elektronikschaltung nur wenig Platz beanspruchen soll. Beispielsweise werden vier Speicherchips in einer Ebene und vier Ebenen übereinander in einem 3D-Modul angeordnet. Hinzu kommen je Ebene zwei Gold- und drei Isolations-schichten. Die elektrischen Verbindungen zwischen den einzelnen Ebenen erfolgen jeweils entlang der Schichtkanten. Nachteilig bei diesem Stapelaufbau ist, daß je Chip eine Zwischenschicht mit Isolier- und Goldlagen erforderlich ist. Dies wirkt sich negativ auf die Bauhöhe des Multi-Chip-Moduls aus.

Aus der DE 44 22 669 A1 ist eine Mehrlagen-Leiterplatte, die mit integrierten Schaltkreisen bestückbar ist, bekannt. Diese Mehrlagen-Leiterplatte weist eine Verdrahtungsschicht mit mehreren Verdrahtungslagen auf, die jeweils durch eine Lage aus isolierendem Material getrennt sind. Die isolierende Lage ist mit Aussparungen zur Verbindung bestimmter Leitungen der Verdrahtungslagen versehen. Zwei im wesentlichen flächenhaft ausgebildete Lagen aus elektrisch leitendem Material sind durch eine dünne dielektrische Schicht voneinander getrennt und wirken als Stützkondensator für die Versorgungsspannungen. In die Verdrahtungsschicht werden siebgedruckte Widerstände integriert. Damit ist eine Fertigung von Flachbaugruppen mit hoher Packungsdichte möglich.

Der Erfindung liegt die Aufgabe zugrunde, ein Multi-Chip-Modul zu schaffen, bei welchem eine weitere Erhöhung der Packungsdichte erreicht wird.

Zur Lösung dieser Aufgabe weist das neue Multi-Chip-Modul der eingangs genannten Art die im kennzeichnenden Teil des Anspruchs 1 genannten Merkmale auf. In den Unteransprüchen sind vorteilhafte Weiterbildungen des Multi-Chip-Moduls beschrieben.

Die Erfindung hat den Vorteil, daß für zwei Halbleiterbauelemente nur noch eine Zwischenlage zur Herstellung der elektrischen Verbindungen zwischen den Anschlüssen der Halbleiterbauelemente und den Anschlüssen des Multi-Chip-Moduls erforderlich ist. Die Zahl der Zwischenlagen wird gegenüber dem bekannten Stapelaufbau, bei welchem für jede Lage von Halbleiterbauelementen eine Zwischenlage vorgesehen werden mußte, halbiert. In vorteilhafter Weise wird somit die Bauhöhe des Multi-Chip-Moduls verringert. Durch eine Mehrlagen-Oberflächenverdrahtung der Leiterplatte, bei der eine Verdrahtungsschicht aus zumindest zwei Verdrahtungslagen und einer Lage aus isolierendem Material besteht, welche die beiden Verdrahtungslagen voneinander trennt und nur an den Stellen Aussparungen aufweist, an welchen Verbindungen zwischen Leitungen der Verdrahtungslagen herzustellen sind, wird zudem in besonders vorteilhafter Weise ein dünner Aufbau der internen Leiterplatte ermöglicht. Für den Fall, daß eine hohe Verlustleistung der Halbleiterbauelemente abgeführt werden muß, kann in der Leiterplatte eine Lage aus gut wärmeleitendem Material

vorgesehen werden. Dabei kann vorteilhaft auf durchgehende Kontaktierungen verzichtet werden, wenn Anschlußelemente, die zur elektrischen Verbindung von Leitungen der internen Leiterplatte mit Anschlußflächen auf der externen Leiterplatte erforderlich sind, an der Kante der internen Leiterplatte angeordnet und derart ausgebildet sind, daß sie diese umgreifen und eine elektrische Verbindung zwischen Leitungen der Ober- und Unterseite der internen Leiterplatte herstellen. Durch diese Anschlußelemente kann die Abwärme zum einen in die Umgebung abgestrahlt und zum anderen in die externe Leiterplatte, auf welche das Multi-Chip-Modul bestückt ist, abgeleitet werden. Dabei unterliegt die Form der Anschlußelemente und die Art ihrer Verbindung mit den Anschlußflächen der externen Leiterplatte keinerlei Beschränkungen. Durch die Verwendung einer internen Leiterplatte mit Mehrlagen-Oberflächenverdrahtung sind auch Leitungsabstände beherrschbar, wie sie bei Anschlußelementen von Halbleiterbauelementen üblich sind. Passive Bauelemente, wie z. B. Entkopplungskondensatoren und Widerstände, können in die Leiterplatte integriert werden.

Anhand der Zeichnungen, in denen Ausführungsbeispiele der Erfindung dargestellt sind, werden im folgenden die Erfindung sowie Ausgestaltungen und Vorteile näher erläutert.

Es zeigen:

Fig. 1 eine interne Leiterplatte mit Anschlußelementen,

Fig. 2 ein Multi-Chip-Modul mit einer beidseitig mit Halbleiterbauelementen bestückten internen Leiterplatte und

Fig. 3 ein Multi-Chip-Modul mit zwei beidseitig mit Halbleiterbauelementen bestückten internen Leiterplatten in Explosionsdarstellung.

In einer Schnittdarstellung nach Fig. 1 ist der Schichtaufbau einer internen Leiterplatte gut erkennbar. Diese besteht im wesentlichen aus einem Trägersubstrat 1, auf dessen Ober- und Unterseite jeweils eine Verdrahtungsschicht aufgebracht ist. Die Verdrahtungsschicht auf der Oberseite beispielsweise ist mit drei Verdrahtungslagen 2, 3 und 4 aufgebaut, die durch zwei Lagen aus einem elektrisch isolierenden Dielektrikum 5 bzw. 6 voneinander getrennt sind. An den Stellen, an denen Verbindungen zwischen Leitungen verschiedener Verdrahtungslagen, beispielsweise eine Verbindung 7 zwischen einer Leitung der Verdrahtungslage 3 und einer Leitung der Verdrahtungslage 4, hergestellt werden sollen, sind Aussparungen in dem jeweiligen Dielektrikum vorgesehen. Eine derartige Verdrahtungsschicht kann sehr dünn und mit feinen Strukturen hergestellt werden. Weitere Einzelheiten zum Herstellungsverfahren sind der eingangs genannten DE 44 22 669 A1 zu entnehmen. Die Oberseite der Verdrahtungsschicht ist mit Lötstopplack 8 abgedeckt, der an den Anschlußflächen für die Anschlußelemente eines zu bestückenden Halbleiterbauelements Öffnungen 9 aufweist. Diese Öffnungen 9 dienen auch als Lotdepot, d. h. als Raum, in den ein Lot eingebracht werden kann. Durchkontaktierungen 10 in dem Trägersubstrat 1 dienen sowohl zur elektrischen Verbindung von Leitungen der oberen und unteren Verdrahtungsschicht als auch zur Wärmekopplung zwischen dem auf der Oberseite und dem auf der Unterseite zu bestückenden Halbleiterbauelement. An den Kanten der internen Leiterplatte sind Anschlußelemente 11 und 12 angeordnet, welche die Kanten umgreifen und eine elektrische Verbindung zwischen Anschlußflächen 13 bzw. 14 der Oberseite und Anschlußflächen 15 bzw. 16

wendungen mit Vorteil einsetzbar:

- Ton- und/oder Bildträger mit Halbleiterspeichern,
- Arbeitsspeicher für Personal Computer oder 5
- Speicher auf PCMCIA-Karten.

#### Patentansprüche

1. Multi-Chip-Modul, das zur Montage auf einer 10  
Leiterplatte ausgebildet ist, gekennzeichnet durch  
zumindest eine interne, beidseitig mit Halbleiter-  
bauelementen (20, 21) bestückte Leiterplatte (19).
2. Multi-Chip-Modul nach Anspruch 1, dadurch ge-  
kennzeichnet, daß die Halbleiterbauelemente (20, 15  
21) durch Bond-Draht (22) mit Anschlußflächen auf  
der internen Leiterplatte (19) verbunden sind.
3. Multi-Chip-Modul nach Anspruch 1, dadurch ge-  
kennzeichnet, daß die Halbleiterbauelemente (29  
... 32) mit Anschlußelementen (34) versehen sind, 20  
die als Metallisierung des Halbleitermaterials aus-  
geführt und direkt mit Anschlußflächen (35) auf der  
internen Leiterplatte (27, 28) verlötet sind.
4. Multi-Chip-Modul nach einem der vorhergehen-  
den Ansprüche, dadurch gekennzeichnet, daß An- 25  
schlußelemente (11, 12) zur elektrischen Verbin-  
dung von Leitungen der internen Leiterplatte mit  
Anschlußflächen auf der externen Leiterplatte an  
der Kante der internen Leiterplatte angeordnet  
und derart ausgebildet sind, daß sie diese umgreifen 30  
und durch die Anschlußelemente elektrische Ver-  
bindungen zwischen Leitungen der Ober- und Un-  
terseite der internen Leiterplatte herstellbar sind.
5. Multi-Chip-Modul nach Anspruch 4, dadurch ge-  
kennzeichnet, daß die interne Leiterplatte zumin- 35  
dest eine Lage aus gut wärmeleitendem Material  
aufweist, die sich im wesentlichen über die Fläche  
der internen Leiterplatte erstreckt.
6. Multi-Chip-Modul nach Anspruch 5, dadurch ge-  
kennzeichnet, daß die interne Leiterplatte (27, 28) 40  
mit Durchkontaktierungen (36) zur Erzeugung ei-  
ner gut wärmeleitenden Verbindung zwischen den  
Halbleiterbauelementen (29 ... 32) und der Lage  
aus gut wärmeleitendem Material versehen ist.
7. Multi-Chip-Modul nach einem der vorhergehen- 45  
den Ansprüche, dadurch gekennzeichnet, daß in ei-  
nem Gehäuse oberund/oder unterhalb der ersten  
internen Leiterplatte (27) weitere, mit Halbleiter-  
bauelementen (31, 32) bestückte Leiterplatten (28)  
angeordnet sind. 50
8. Multi-Chip-Modul nach Anspruch 7, dadurch ge-  
kennzeichnet, daß Anschlußelemente (37) zur elek-  
trischen Verbindung von Leitungen der weiteren  
internen Leiterplatten (28) mit Anschlußflächen  
(38) auf der ersten internen Leiterplatte (27) im 55  
Gehäuse angeordnet sind.
9. Multi-Chip-Modul nach einem der vorhergehen-  
den Ansprüche, dadurch gekennzeichnet, daß die  
interne Leiterplatte eine Verdrahtungsschicht mit  
mehreren Verdrahtungslagen (2, 3, 4) aufweist, die 60  
jeweils durch eine Lage (5, 6) aus isolierendem Ma-  
terial voneinander getrennt sind, wobei die isolie-  
rende Lage (5, 6) mit Aussparungen (7) zur Verbin-  
dung bestimmter Leitungen der Verdrahtungsla-  
gen (2, 3, 4) versehen ist. 65

FIG 1

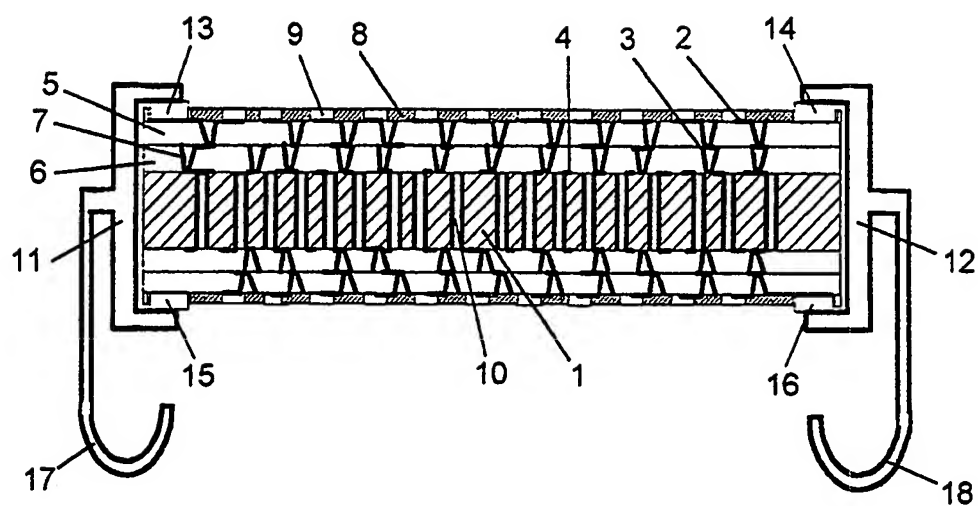
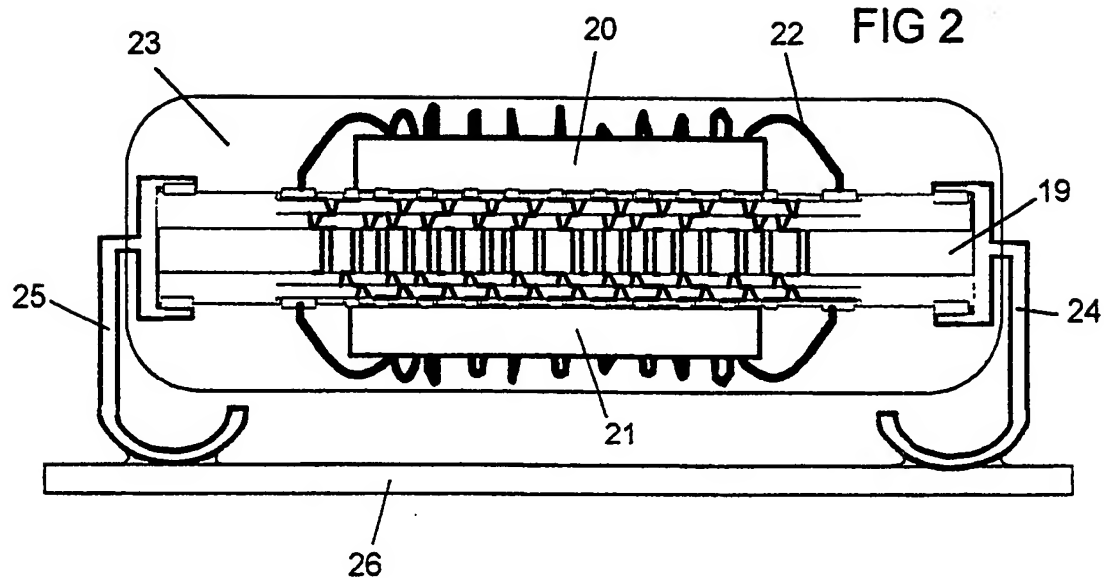
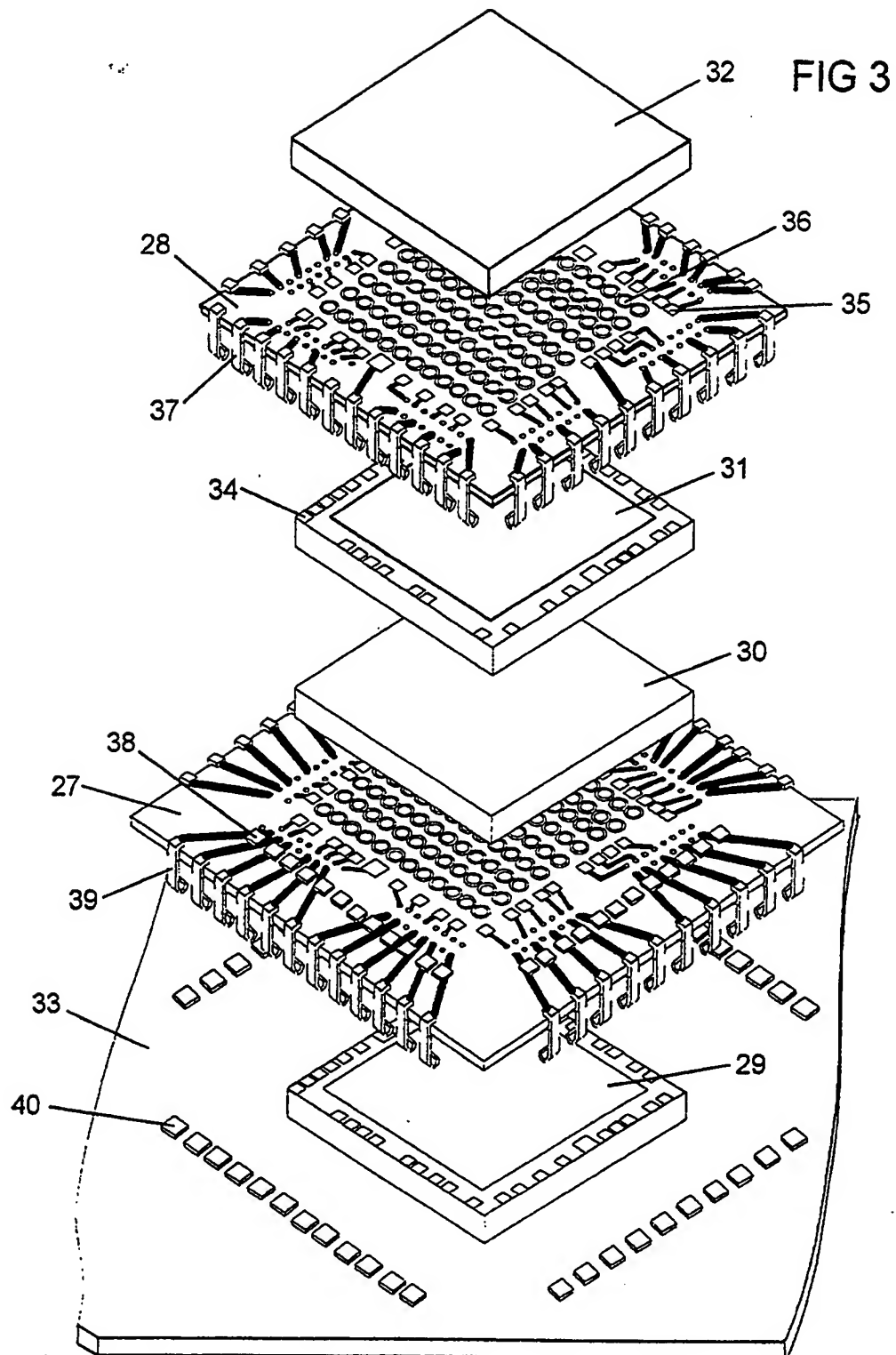


FIG 2





schwierig ist, die Verwendungen vorherzusehen, die von der integrierten Schaltung selbst gemacht werden, und deshalb welcher Kondensator verwendet werden soll, ohne strenge Anwendungsspezifikationen aufzuerlegen, die von den Anwendern kaum angenommen werden können.

Vom Standpunkt eines Herstellers integrierter Schaltungen liegt eine typische Situation wie in Fig. 2 gezeigt vor, wobei die Kapazität zwischen einem P-Well-Gebiet und dem Substrat viel größer ist, als die Kapazität zwischen einem N<sup>+</sup>-diffundierten Gebiet und dem P-Well-Gebiet ( $C_{P-Well/sub} \gg C_{N+/P-Well}$ ).

In solch einer Situation steigt das P-Well Potential auf einen Wert sehr nahe an der VCC-Spannung an und der P-Well/N<sup>+</sup>-Übergang wird direkt vorgespannt, wenn innerhalb der P-Well-Zone bzw. Wanne auf Masse liegende N<sup>+</sup>-Diffusionen vorhanden sind. Diese auf Masse liegenden Diffusionen sind ziemlich sicher vorhanden, weil für den Entwickler integrierter Schaltungen, da keine N-Kanal-MOS-Transistoren mit einer Source verfügbar sind, die mit der Masse in Form eines Substrats verbunden ist, das stabilen Bedingungen auf einem VBB-Potential ( $-5\text{ V}$ ) sein muß, es eine schwerlich zu tolerierende Einschränkung bedeuten würde.

Deshalb muß der Entwickler von integrierten Schaltungen diese Gebiete schützen, aber der Schutz gegen Latch-Up hat einen bestimmten Gebietsverlust zur Folge, der sich in einer gewissen Begrenzung in der Zahl von N-Kanal-Transistoren mit auf Masse liegender Source auswirkt, die wirtschaftlich eingesetzt werden können beim Entwickeln der integrierten Schaltungen.

Was in Fig. 3 gezeigt wird, ist das, was in einer integrierten Schaltung mit zwei Versorgungen geschehen kann, wenn auf einer Montagekarte andere Bauelemente mit den zwei Versorgungen verbunden sind und eine verzögerte Anlegung der VBB-Spannung mit Hinsicht auf die VCC-Spannung das direkte Vorspannen des inneren P-Well/N<sup>+</sup>-Übergangs (Dioden) hervorgerufen hat.

Eine mögliche Anwesenheit eines Operationsverstärkers, wie in Fig. 3 schematisch gezeigt wird, erzeugt einen Strompfad: VCC — Operationsverstärker — VBB — P-Well/N<sup>+</sup> Diode — GND; der verantwortlich für das Auslösen der Latch-Up-Bedingung mit einer der folgenden, möglichen Zerstörung der integrierten Schaltung ist. In einem solchen Fall ist der injizierte Strom sogar bei Abwesenheit von zwischen den Versorgungen angeschlossenen Kondensatoren relativ groß.

Natürlich sind die oben stehend angegebenen Probleme in einer N-Well-CMOS-Einrichtung gegeben, wenn die positive Versorgung (VCC) mit einer bestimmten Verzögerung gegenüber der negativen Versorgungsspannung (VBB) angelegt wird. In diesem Fall ersetzen die N-Well-Wannen und die P<sup>+</sup>-Diffusionen die P-Well-Wannen bzw. N<sup>+</sup>-Diffusionen in den zugeordneten Figuren und in der oben stehenden Erläuterung.

Ein allgemeiner Rat, der noch von Herstellern integrierter Schaltungen auf den Datenblättern gegeben wird, ist, daß das eine Schottky-Diode verbunden, wie in Fig. 3 mit der Phantomfigur (gestrichelte Linie) (d. h. zwischen VCC und GND im Falle eines N-Well-CMOS), verwendet wird oder daß ein Kondensator C0 viel größer als C2 und C1 vorgesehen wird, für den Fall, daß Störungs-Bypass-Kondensatoren zwischen den Versorgungen verwendet werden.

Die Anwender selbst bauen Karten bzw. Leiterplatten, die für P-Well-CMOS integrierte Schaltungen mit zwei Versorgungen vorgesehen sind, welche absichtlich

Anschlüsse der der VBB-Spannung zugeordneten Bahnen haben, die weiter vorstehen, als die Masse-Anschlüsse und insbesondere mehr als die Anschlüsse, die der VCC-Spannung zugeordnet sind, so daß beim Einschleiben der Karte, auf der P-Well-CMOS integrierte Einrichtungen untergebracht sind, die Versorgungsspannung entsprechend der nachfolgenden Folge angelegt werden: VBB =  $-5\text{ V}$ , GND =  $0\text{ V}$  und VCC =  $+5\text{ V}$ . Beim Herausziehen der Karte werden dieselben Versorgungsspannungen entsprechend einer umgekehrten Folge abgetrennt. Offensichtlich vermeidet eine solche Lösung Latch-Up-Probleme nur während des Einschlebens und Herausziehens der Karte. Außerdem wird solch ein Hilfsmittel aufhören nützlich zu sein, sobald CMOS-integrierte Schaltungen vom Typ P-Well als auch vom Typ N-Well zusammen auf der gleichen Systemkarte benützt werden.

Aufgabe der vorliegenden Erfindung ist es eine integrierte Schaltung anzugeben, die CMOS-Strukturen eines zwei Versorgungen verwendenden Typs aufweist und die wirksam gegen Latch-Up geschützt ist, ohne daß für diesen Zweck besondere Hilfsmittel in den äußeren Versorgungsschaltungen der integrierten Einrichtung erforderlich sind.

Diese Aufgabe und andere Vorteile erhält man, entsprechend der vorliegenden Erfindung, wenn in die integrierte Schaltung ein MOS-Transistor mit passenden Eigenschaften eingebaut wird und indem dessen vier Anschlüsse, nämlich Drain, Gate, Source und Substratsanschlüsse (body-terminals), in einer Weise verbunden werden, die weiter unten in der Beschreibung und in den angehängten Ansprüchen spezifiziert wird.

Im Fall einer P-Well-CMOS-Einrichtung wird solch ein Schutztransistor ein N-Kanal-Transistor sein, wohingegen in N-Well-MOS-Einrichtungen solch ein Schutztransistor ein P-Kanal-Transistor sein wird.

Weitere Vorteile, Merkmale und Anwendungsmöglichkeiten der vorliegenden Erfindung ergeben sich aus der nachfolgenden Beschreibung von Ausführungsbeispielen in Verbindung mit der Zeichnung. Darin zeigt:

Fig. 1 eine übliche Schaltungsanordnung von externen Bypasskondensatoren zwischen den Versorgungen einer integrierten CMOS-Schaltung mit zwei Versorgungen;

Fig. 2 schematisch die kritischen kapazitiven Kopplungen einer P-Well-CMOS-Einrichtung;

Fig. 3 schematisch eine mögliche Situation, die zu einem ersten Latch-Up-Zustand führt;

Fig. 4 ein grundlegendes Schaltungsdiagramm der Anti-Latch-Up-Anordnung der vorliegenden Erfindung, angewendet auf eine integrierte P-Well-CMOS-Schaltung; und

Fig. 5 ein grundlegendes Schaltungsdiagramm der Anti-Latch-Up-Anordnung der vorliegenden Erfindung, angewendet auf eine integrierte N-Well-CMOS-Schaltung.

Die Fig. 1, 2 und 3 sind bereits mit Bezug auf die Erläuterung des Stands der Technik beschrieben worden.

Wie in Fig. 4 für den Fall einer integrierten P-Well-CMOS-Schaltung gezeigt wird, ist die kritische Bedingung für das Auslösen eines Latch-Up-Phänomens dadurch gegeben, daß der Versorgungsanschluß VBB schwimmt bzw. schwebt (floating) (Zustand 1), anstatt wie normal auf  $-5\text{ V}$  (Zustand 2) gepolt zu sein.

Ähnlich, wie in Fig. 5 mit Bezug auf den Fall einer integrierten N-Well-CMOS-Schaltung gezeigt wird, wird der kritische Zustand für das Auslösen eines Latch-

DE 3806951

Translation of the abstract:

Integrated circuit with CMOS structures for two supply voltages

Integrated circuit with CMOS structures for two supply voltages (+VCC and -VBB), which in a well region of said CMOS structures comprises:

- at least one integrated MOS transistor with an opposite channel polarity as the polarity of the well region of said CMOS structures and a drain or a source connected to ground, and
- a well region connection, a gate connection and a source or drain connection of said MOS transistor, connected with a common potential node (-VBB or +VCC) of one of the two supply voltages corresponding to the polarity of the well region.